

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067758

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/316
H01L 21/20
H01L 29/786
H01L 21/336

(21)Application number : 09-222098

(71)Applicant : ISHIKAWAJIMA HARIMA HEAVY IND CO LTD

(22)Date of filing : 19.08.1997

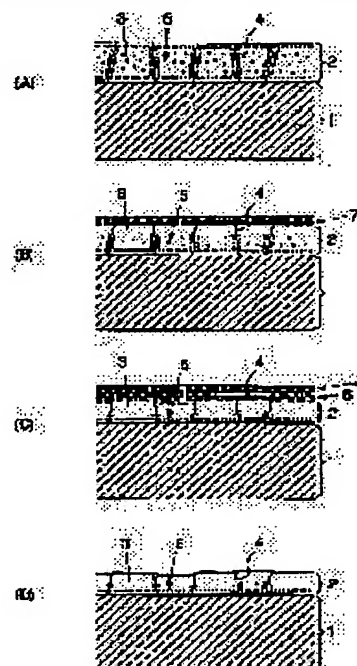
(72)Inventor : YOSHINOUCHI ATSUSHI

(54) FORMATION OF SEMICONDUCTOR FILM AND MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To allow a semiconductor film having less crystal defects, uniform film quality and less rough surface to be formed by producing a compact oxide film on the surface of a polysilicon film in an atmosphere containing oxygen as the main component.

SOLUTION: When a polysilicon film 2 is oxidized in an atmosphere containing oxygen as the main component whose oxidizing rate is small, oxidation on the surface layer proceeds slowly, and thus a compact oxide film 7 having a large density is sequentially produced without being largely affected by the oxidizing rate of the surface layer. As a result, silicon atoms freed by the production of the film 7 sequentially fill out crystal defects 5, thereby providing the film 2 with less crystal defects 5 on the surface layer. Since the film 7 has silicon atoms and oxygen atoms closely united under a predetermined low, the film 7 is of high quality having an extremely small number of defects. Further, since the films 6 and 7 are not removed, no rough surface is caused by different oxidization rates, and thus the roughing of the semiconductor surface can be suppressed.



LEGAL STATUS

[Date of request for examination]

04.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67758

(43) 公開日 平成11年(1999) 3月9日

(51) IntCl.⁸

識別記号

F I

H 0 1 L 21/316
21/20
29/786
21/336

H 0 1 L 21/316
21/20
29/78

S

6 1 7 V

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21) 出願番号 特願平9-222098

(22) 出願日 平成9年(1997) 8月19日

(71) 出願人 000000099

石川島播磨重工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 芳之内 淳

東京都江東区豊洲三丁目1番15号 石川島
播磨重工業株式会社東ニテクニカルセンタ
一内

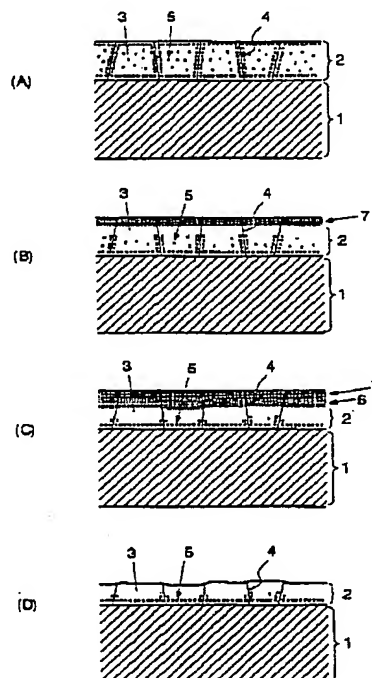
(74) 代理人 弁理士 小塚 敏紀

(54) 【発明の名称】 半導体膜の成形方法及び半導体基板の製造方法

(57) 【要約】 (修正有)

【課題】 結晶欠陥が少なく、膜質が均一で、表面荒れの小さい半導体膜を成形することができる半導体膜の成形方法、及びそのような半導体膜を有する半導体基板の製造方法を提供する。

【解決手段】 表面に多結晶シリコン膜2を形成し、酸素を主成分とする雰囲気下で多結晶シリコン膜2の表面層に緻密な酸化膜7を生成する工程と、水蒸気を主成分とする雰囲気下で多結晶シリコン膜2の酸化を促進する酸化促進工程と、を有するものである。



【特許請求の範囲】

【請求項1】 表面に多結晶シリコン膜を形成した絶縁性基板に半導体膜を成形する方法であって、酸素を主成分とする雰囲気下で前記多結晶シリコン膜の表面層に緻密な酸化膜を生成する工程を有することを特徴とする半導体膜の成形方法。

【請求項2】 水蒸気を主成分とする雰囲気下で前記多結晶シリコン膜の酸化を促進する工程を有する請求項1に記載の半導体膜の成形方法。

【請求項3】 前記各工程は1～50気圧かつ300～700℃で処理される請求項1又は請求項2に記載の半導体膜の成形方法。

【請求項4】 さらに酸化膜を除去する工程を有する請求項1から請求項3のいずれかに記載の半導体膜の成形方法。

【請求項5】 絶縁性基板の表面に多結晶シリコン膜を形成する工程と、所定のガス雰囲気を生成できる室内に前記絶縁性基板を配置する工程と、前記室内を酸素を主成分とする雰囲気にする工程と、前記室内を水蒸気を主成分とする雰囲気にする工程と、を有することを特徴とする半導体基板の製造方法。

【請求項6】 前記室内から半導体基板を取出して酸化膜を除去する工程を有する請求項5に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体膜の成形方法及び半導体基板の製造方法に関する。

【0002】

【従来の技術】 液晶ディスプレイやイメージセンサ等の画像入出力デバイスの駆動回路は、いわゆるLSIとして形成され、画像入出力デバイスの基板上に貼り付けられて実装されていた。ところが、この貼付作業は複雑かつ面倒であるため、近年では、駆動回路を画像入出力デバイスと同一基板上に直接作製するための開発が進められている。これらの画像入出力デバイスの基板には、通常、半導体素子への不純物への影響を考慮して無アルカリガラスが用いられている。無アルカリガラスには、バリウムホウケイ酸ガラス、ホウケイ酸ガラス、アルミノホウケイ酸ガラス、アルミノケイ酸ガラス等がある。これらの無アルカリガラスを使用したガラス基板の歪点は593～700℃程度であるため、この基板上に駆動回路を直接作製するときには、少なくとも700℃以下の温度で処理することが要求される。

【0003】

【発明が解決しようとする課題】 しかし、駆動回路を形成するのに必要な性能を持ったトランジスタの半導体膜を700℃以下の温度で作製するのは一般に困難である。700℃以下の温度で半導体膜を成形する方法として固相成長法があるが、この方法では多結晶シリコン膜

中に多くの結晶欠陥が残ってしまうため、良質の半導体膜を成形することができない。固相成長法は、非晶質シリコン膜を出発材料として600℃程度の温度でアニールして多結晶化することにより多結晶シリコン膜を作って半導体膜を成形する方法であるが、その多結晶化の段階でそれぞれの結晶方位が異なるため、その結晶粒界で多くの結晶欠陥が発生するのである。

【0004】 また、短波長のエキシマレーザを非晶質シリコン膜又は多結晶シリコン膜に照射して熔融固化することにより良質な半導体膜を得る方法もあるが、照射後の多結晶シリコン膜の膜質均一性が良くないため問題となっている。エキシマレーザはパルスレーザであり、かつビームサイズが限られているので、大面積照射する場合はビームを継ぎ合わせて照射しなければならず、その継ぎ合わせ部分で多結晶シリコン膜の膜質が変化し、その部分のトランジスタは異なった特性になってしまう。また、シリコン膜にレーザ照射するとシリコン膜の表面は局所的かつ瞬間的に熔融し凝固するため、照射エネルギーによって多結晶シリコン膜の膜質は急峻に変化し、結果的に安定して同一膜質の多結晶シリコン膜を得ることが困難である。

【0005】 また、特開平7-162002号公報では、多結晶シリコン膜の表面層を酸化した後、その酸化膜を除去することによって良質の半導体膜を得る方法が提案されている。このように多結晶シリコン膜を酸化処理すると、シリコン原子が酸化されて酸素原子と結合する過程においてシリコン原子同士の結合が切り離され、ある確率で完全に自由になるシリコン原子が生成される。この完全に自由になったシリコン原子が、多結晶シリコン膜中を拡散して多結晶シリコン膜中の結晶欠陥を補償し結晶欠陥が低減されると考えられている。

【0006】 ところが、この方法により成形された半導体膜は、図5(C)に示すように、表面荒れ(凹凸)が大きく、膜質の向上もそれほど大きくなかった。ここで図5は、特開平7-162002号公報に記載されている半導体膜の製造方法を示す図であり、(A)は酸化前の多結晶シリコン膜の断面図、(B)は酸化後の多結晶シリコン膜の断面図、(C)は酸化膜を除去した後の多結晶シリコン膜(すなわち半導体膜)の断面図である。

【0007】 この原因は次のように考えられる。図5(A)に示すように、絶縁性基板1上に成形された多結晶シリコン膜2は、いろいろな結晶方位を持った結晶粒3の集まりであり、かつ結晶粒3と結晶粒3の間は結晶粒界4となっていて多くの結晶欠陥5(×印)が存在する。一般に、結晶方位の違いによって酸化の進行する速度(以下「酸化レート」という。)が異なり、また結晶粒界4は酸化レートが大きい。このような多結晶シリコン膜2を酸化する場合、酸化レートの大きい水蒸気を用いていきなり酸化すると、図5(B)に示すように、水蒸気は酸化レートの大きい部分(例えば結晶粒界4)へ

と流れ込み、酸化レート小さい部分と大きい部分とで形成される酸化膜6の膜厚に格差ができる。また、急激に酸化が進むため形成された酸化膜5は密度が小さく粗なものになる。その結果、酸化膜6を除去した多結晶シリコン膜(すなわち半導体膜)は、図5(C)に示すように、表面荒れ(凹凸)が大きく、多数の結晶欠陥5が残存したものとなる。

【0008】本発明は、上述した課題を解決するために創案されたものである。すなわち、結晶欠陥が少なく、膜質が均一で、表面荒れの小さい半導体膜を成形することができる半導体膜の成形方法、及びそのような半導体膜を有する半導体基板の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1に記載した発明によれば、表面に多結晶シリコン膜を形成した絶縁性基板に半導体膜を成形する方法であって、酸素を主成分とする雰囲気下で前記多結晶シリコン膜の表面層に緻密な酸化膜を生成する工程(以下「緻密酸化膜生成工程」という。)を有することを特徴とする半導体膜の成形方法が提供される。

【0010】上述した本発明は、水蒸気よりも酸化レートの小さい酸素を酸化剤として使用する工程を有することを一つの特徴としている。すなわち、酸化レートの小さい酸素を主成分とする雰囲気下で多結晶シリコン膜を酸化すると、その表面層での酸化はゆっくりと進行し、表面層の酸化レートに大きく偏ることなく密度の大きい緻密酸化膜が順次生成される。その結果、緻密酸化膜の生成により自由になったシリコン原子が結晶欠陥を順に埋め尽くし、結晶欠陥の少ない良質な半導体膜を得ることができる。また、緻密酸化膜ではシリコン原子と酸素原子とが一定の法則で結合しているため、この緻密酸化膜はいわゆる欠陥のない良質の膜質とすることができる。なお、酸素を主成分とする雰囲気とは、その雰囲気を占める酸素の割合が最大であることを意味し、完全な酸素雰囲気でもよいし、その他の成分(例えば窒素や水蒸気)が含まれていてもよい。

【0011】請求項2に記載した発明によれば、水蒸気を主成分とする雰囲気下で前記多結晶シリコン膜の酸化を促進する工程(以下「酸化促進工程」という。)を有することが好ましい。このように酸化レートの大きい水蒸気を主成分とする雰囲気下で酸化する工程を併用することにより、多結晶シリコン膜内での酸化の進行速度を早めることができ、結晶欠陥の少ない良質な半導体膜の成形を迅速に処理することができる。なお、水蒸気を主成分とする雰囲気とは、その雰囲気を占める水蒸気の割合が最大であることを意味し、完全な水蒸気雰囲気でもよいし、その他の成分(例えば窒素や酸素)が含まれていてもよい。

【0012】請求項3に記載した発明によれば、前記緻

密酸化膜生成工程や酸化促進工程は、1〜50気圧かつ300〜700℃で処理されることが好ましい。後述するように、酸化膜の成長する速度(以下「成長レート」という。)は温度と圧力に密接に関係しており、酸化膜を生成する工程を1気圧以上の雰囲気で行うと700℃以下の温度でも酸化を効率良く行うことができる。一般に、同一温度であれば処理圧力にほぼ比例して酸化レートがあがるので、同じ酸化レートで処理するとすれば処理圧力の高圧化により処理温度を低温化することができる。すなわち、絶縁性基板の歪点を考慮した酸化膜の生成工程を行うことができる。

【0013】請求項4に記載した発明によれば、前記緻密酸化膜生成工程や酸化促進工程により生成された酸化膜を除去する工程を付加してもよい。上述したように、本発明では緻密酸化膜生成工程により、多結晶シリコン膜の表面に緻密酸化膜が形成され、それ以降に進行する酸化を緩和することができる。その結果、酸化されずに残る多結晶シリコン膜表面の凹凸が緩和され、この酸化膜を除去して得られる半導体膜の表面荒れも緩和されたものとなる。

【0014】請求項5に記載した発明によれば、絶縁性基板の表面に多結晶シリコン膜を形成する工程と、所定のガス雰囲気を生成できる室内に前記絶縁性基板を配置する工程と、前記室内を酸素を主成分とする雰囲気にする工程と、前記室内を水蒸気を主成分とする雰囲気にする工程と、を有することを特徴とする半導体基板の製造方法が提供される。

【0015】上述した本発明は、上述した半導体膜の成形方法を利用して半導体基板を製造する方法である。この方法により製造された半導体基板は、液晶パネルや薄膜トランジスタ等の製造に使用される。薄膜トランジスタ等はその表面がチャネルとなるため、その特性は半導体基板の表面層の欠陥の有無に大きく左右される。上述した半導体膜の成形方法によれば、結晶欠陥が少ないだけでなく表面層に欠陥がない半導体膜を成形することができる。したがって、この方法を半導体基板の製造に使用することにより、表面層に欠陥がない半導体基板を製造することができ、良好な特性を有する半導体基板を得ることができる。薄膜トランジスタ等の製造に寄与する。

【0016】請求項6に記載した発明によれば、前記室内から半導体基板を取出して酸化膜を除去する工程を付加してもよい。上述した半導体膜の成形方法によれば、酸化されずに残る多結晶シリコン膜表面の凹凸が緩和される。したがって、上述した半導体基板の製造方法においても、生成される酸化膜を除去して得られる半導体膜の表面荒れは緩和されたものとなり、結晶欠陥の少ない良好な特性を有する半導体基板が得られる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について、図1〜図4を参照しつつ、実施例に則して説明す

る。図1は、本発明の半導体膜の成形方法を一定のパラメータで実施したときの各工程を示す図であり、(A)は緻密酸化膜生成工程前の断面図、(B)は緻密酸化膜生成工程後の断面図、(C)は酸化促進工程後の断面図、(D)は酸化膜除去工程後の断面図を示している。

【0018】図1に示すように、本発明の半導体膜の成形方法は、表面に多結晶シリコン膜を形成し(図1(A))、酸素を主成分とする雰囲気下で多結晶シリコン膜2の表面層に緻密な酸化膜(以下「緻密酸化膜7」という。)を生成する緻密酸化膜生成工程(図1(B))と、水蒸気を主成分とする雰囲気下で多結晶シリコン膜2の酸化を促進する酸化促進工程(図1(C))と、を有するものである。

【0019】図1(A)に示すように、絶縁性基板1上に形成された多結晶シリコン膜2は、いろいろな結晶方位を持った結晶粒3の集まりであり、かつ結晶粒3と結晶粒3の間は結晶粒界4となっていて多くの結晶欠陥5(×印)が存在している。絶縁性基板1には、ガラス基板、石英基板、サファイア基板等が用いられるが、安価でデバイスコストを低減できるガラス基板を用いることが多い。また、これらの絶縁性基板1上又はシリコンウエハ上に絶縁膜を形成したものを用いてもよい。この絶縁膜には酸化シリコン膜、窒化シリコン膜、酸化アルミニウム、酸化タンタル等の単膜または2種以上を積層したものを用いることができる。

【0020】この絶縁性基板1上に多結晶シリコン膜2を形成するには、非晶質シリコン膜を出発材料としてアニールして多結晶シリコン膜2にする固相成長法と、絶縁性基板1上に直接多結晶シリコン膜2を成膜する方法がある。一般に固相成長法のほうが良質な多結晶シリコン膜2が得られるので、ここでは固相成長法を用いた。非晶質シリコン膜を成膜する方法は、特に限定されないが、プラズマCVD法、スパッタ法、減圧CVD法等がある。減圧CVD法で行うとアニール後に良質な多結晶シリコン膜2が得られるので、本実施例では減圧CVD法を用いた。この減圧CVD法による成膜では、基板温度を400～600℃、使用する原料ガスを SiH_4 又は Si_2H_6 、膜厚を50～500nmとするのが好ましい。次に、アニールして多結晶シリコン膜2を形成する。アニール法は特に限定されないが、炉アニール、レーザアニール、ランプアニール、電子ビームアニール又はこれらの組み合わせを用いることができる。ここでは均一性の良好な炉アニールを用いた。この炉アニールによるアニールでは、窒素雰囲気中で、アニール温度を500～650℃、アニール時間を4～24時間とするのが好ましい。

【0021】図1(B)に示すように、緻密酸化膜生成工程後の多結晶シリコン膜2の表面層には、緻密酸化膜7が生成され、結晶欠陥5(×印)も図1(A)と比較して減少している。酸化レートの小さい酸素を主成分

(例えば20%～100%)とする雰囲気下で多結晶シリコン膜2を酸化すると、その表面層での酸化はゆっくりと進行し、表面層の酸化レートに大きく偏ることなく密度の大きい緻密酸化膜7が順次生成される。その結果、緻密酸化膜7の生成により自由になったシリコン原子が結晶欠陥5を順に埋め尽くし、表面層に結晶欠陥5の少ない良質な多結晶シリコン膜2を得ることができ。なお、ここでは、600℃・2.5気圧雰囲気において、本工程を30分間行った。

【0022】図1(C)に示すように、酸化促進工程後の多結晶シリコン膜2では、緻密酸化膜7よりも酸化膜6の生成が進行し、結晶欠陥5(×印)が図1(A)と比較して激減している。水蒸気は酸化レートが大きいいため、結晶欠陥5を補償する酸化処理を迅速に行うことができる。この工程が終了した段階で半導体膜の成形を終了し、図1(C)に示す多結晶シリコン膜2を半導体膜としてもよい。緻密酸化膜7ではシリコン原子と酸素原子とが一定の法則で密に結合しているため、この緻密酸化膜7は欠陥が非常に少ない良質の膜質となる。さらに、酸化膜6及び緻密酸化膜7を除去してないので、酸化レートの違いによる凹凸が表面に現れることがなく、半導体膜の表面荒れを抑制することができる。このような半導体膜を薄膜トランジスタに使用した場合、トランジスタのチャネルとなる表面の結晶欠陥5が特に低減されているので非常に好ましく、これにより良好な特性の薄膜トランジスタを得ることができる。なお、ここでは、600℃・2.5気圧雰囲気において、本工程を4時間行った。

【0023】また、図1(D)に示すように、酸化膜6及び緻密酸化膜7を除去してもよい。上述した緻密酸化膜生成工程により緻密酸化膜7が形成されると、それ以降に進行する酸化が緩和されるため、酸化促進工程を行った後でも酸化されずに残る多結晶シリコン膜表面の凹凸も緩和される。図1(D)と図5(C)を比較すれば、その差は歴然である。この酸化膜6及び緻密酸化膜7を除去するには、バッファードフッ酸(BHF)やフッ酸溶液等を使用する。この酸化膜除去工程を行う前に、酸化促進工程の後、さらに緻密酸化膜生成工程を行ってもよい。この工程により半導体膜の表面の結晶欠陥5をより低減することができ、表面荒れもより小さくすることができる。図1(D)に示す半導体膜は、600℃・2.5気圧雰囲気において緻密酸化膜生成工程を30分間行った後に本工程を行ったものである。そして、最終的に酸化されずに残った多結晶シリコン膜2(すなわち半導体膜)の膜厚は80nmであった。この半導体膜の膜厚の調整は、最初の工程で形成される多結晶シリコン膜2の膜厚、酸化レートの強度又は酸化時間等により行う。

【0024】上述した緻密酸化膜生成工程及び酸化促進工程は、1～50気圧かつ300～700℃で処理され

ることが好ましい。ここで図2は、雰囲気圧力を1気圧から50気圧まで変化させたときの酸化膜の成長レート (Oxide Growth Rate) と処理温度 (Temperature) との関係を示している。この図に示すように、酸化膜の成長レートは温度と圧力に密接に関係しており、温度が下がると成長レートは極端に下がるが、雰囲気圧力を上げることにより成長レートを上げることができる。例えば1気圧で900~1000℃で得られていた成長レート (2~4 nm/min) は、50気圧では600~700℃の低温で得られることがわかる。つまり、同一温度であれば圧力にはほぼ比例して酸化レートがあがるので、同じ酸化レートで処理するとすれば圧力の高圧化により処理温度を低温化することができる。したがって、緻密酸化膜生成工程及び酸化促進工程を1気圧以上の雰囲気で行うと、700℃以下の温度でも酸化を効率良く行うことができる。半導体膜の絶縁性基板として無アルカリガラスのガラス基板を使用した場合、その歪点及び酸化炉の耐圧性等を考慮すれば、1~50気圧で酸化することが実用的であり、そのときの処理温度は酸化レートによって異なるが300~700℃程度となる。なお、下限を300℃としたのは、一般に処理温度が300℃を下回ると酸化レートが極端に小さくなり、実用的でないからである。

【0025】上述の説明では、緻密酸化膜生成工程後に酸化促進工程を施しているが、順序を逆にしてもよいし、緻密酸化膜生成工程を2工程に分けて中間に酸化促進工程を挿入してもよいし、酸化促進工程を2工程に分けて中間に緻密酸化膜生成工程を挿入するようにしてもよい。一般に、酸化促進工程前に緻密酸化膜生成工程を行った方が、上述したように結晶欠陥が少なく、かつ表面荒れの小さい良質の半導体膜を得ることができるが、酸化促進工程後に緻密酸化膜生成工程を行った場合であっても、酸化されずに残る多結晶シリコン膜の表面は酸素による緻密な酸化によって形成され、また粗な酸化膜も緻密化されるので、成形される半導体膜は結晶欠陥が少なく、表面荒れが小さくなる。

【0026】上述した本発明の半導体膜の成形方法は、例えば半導体基板の製造方法に使用される。この半導体基板の製造方法は、絶縁性基板の表面に多結晶シリコン膜を形成する工程と、所定のガス雰囲気を生成できる室内に前記絶縁性基板を配置する工程と、前記室内を酸素を主成分とする雰囲気にする工程と、前記室内を水蒸気を主成分とする雰囲気にする工程と、を有するものである。この半導体基板の製造方法には、例えば図3に示したような処理装置が使用される。図3に示す処理装置は、気密にシールされた压力容器8と、压力容器8内で気密にシールされた処理室9と、処理室9を加熱するヒータ10と、压力容器8に接続された昇圧ライン11及び減圧ライン12と、処理室9に接続された処理ガス供給ライン13及び処理ガス排気ライン14と、から構成

されている。なお、処理ガスとは、酸素又は水蒸気を主成分とする雰囲気を生成するガスをいう。

【0027】処理室9は、内壁が石英で構成された石英管であり、半導体に金属が混入しないようになっている。ヒータ10は処理室9の外周を囲むように設けられ、処理室9内を300~700℃に維持できるようになっている。昇圧ライン11は、空気源・減圧弁RV・フローメータ・バルブVを有し、バルブVの開閉により压力容器8内に空気を供給し、压力容器8内を1~50気圧に昇圧できるようになっている。減圧ライン12は、バルブVの開閉により压力容器8内の空気を排気し、压力容器8内を減圧できるようになっている。処理ガス供給ライン13は、処理室9内に処理ガスを放出する下流部に処理室9内と同等の温度に加熱するヒータ15を有し、上流部では酸素供給ライン13a・水供給ライン13b・窒素供給ライン13cに分岐している。酸素供給ライン13a及び窒素供給ライン13cは、各供給源・減圧弁RV・フローメータ・バルブVを有し、バルブVの開閉により処理室9内に処理ガスを供給し、処理室9内を所定の処理ガス雰囲気にするとともに処理室9内を1~50気圧に昇圧できるようになっている。水供給ライン13bは、ポンプP・バルブVを有し、水源から水を汲み上げてバルブVの開閉によりヒータ15に水を供給し、そのヒータ15で水を水蒸気に置換して処理室9内に供給している。なお、上述した昇圧ライン11は、压力容器8内を酸素雰囲気にして、積極的にヒータ10に酸化保護膜を生成し、その寿命を延ばすためのものであり、供給されるガスは空気に限定されるものではない。

【0028】本発明の半導体基板の製造方法によれば、以下のようにして良好な特性を有する半導体基板を製造することができる。

(1) 無アルカリガラス等の絶縁性基板の表面に、固相成長法等により多結晶シリコン膜を形成する (以下「多結晶シリコン基板16」という。)。この工程は半導体膜の成形方法の場合と同じようにして形成することができるので、詳細な説明を省略する。

(2) 処理室9内の略中央部に多結晶シリコン基板16を配置する。この多結晶シリコン基板16は、図示しない基板ホルダーにより支持されており、複数枚の多結晶シリコン基板16を整列して配置することもできる。

(3) 処理室9に酸素供給ライン13a経由で処理ガス供給ライン13から酸素を供給するとともに、压力容器8に昇圧ライン11から空気を供給する。これは処理室9の内外で1気圧以上の圧力差が生じないようにして、処理室9が破損しないようにするためである。処理室9及び压力容器8内が1~50気圧の所定の圧力になったら各ライン13, 11からの供給を停止する。また、同時にヒータ10, 15により処理室9内が300~700℃の所定の温度になるように加熱する。処理室9内の

酸素濃度を調節したい場合には、窒素供給ライン13cを開放して処理室9内に酸素と窒素の混合ガスを供給する。このように酸素を主成分とする雰囲気が多結晶シリコン基板16を酸化させると、その表面に緻密な酸化膜を生成することができ、結晶欠陥を低減することができる。酸化されずに残る表面の凹凸も小さくすることができる。

(4) 処理室9内の処理ガスを排気しつつ、水供給ライン13b経由で処理ガス供給ライン13から水蒸気を処理室9内に供給して処理ガスを置換する。このとき処理室9の内外に1気圧以上の圧力差が生じないように昇圧ライン11及び減圧ライン12を制御する。このように水蒸気を主成分とする雰囲気で緻密酸化膜を有する多結晶シリコン基板16を酸化させると、その酸化の進行を促進することができ、迅速に結晶欠陥を低減することができる。また、表面に緻密酸化膜を有することにより、その後の酸化の進行を緩和することができ、酸化されずに残る表面の凹凸も小さくすることができる。

(5) さらに表面に生成された酸化膜を除去してもよい。このとき、バッファードフッ酸(BHF)やフッ酸溶液等を使用して酸化膜を除去する。

(6) 上述した(1)~(4)の工程を終了したものを半導体基板として使用した場合、結晶欠陥が少ないだけでなく、その表面には緻密酸化膜が生成されているため表面層に欠陥がなく、さらに酸化膜を除去していないため表面に凹凸がない。また、上述した(5)の工程を施したものを半導体基板として使用した場合であっても、その表面層には結晶欠陥が少なく、また表面の凹凸も小さい。

【0029】上述した本発明の半導体基板の製造方法により製造された半導体基板は、例えば薄膜トランジスタの製造に使用される。ここで図4は、本発明の方法を利用した薄膜トランジスタの製造方法について説明する図であり、(A)~(G)は各手順を示している。以下、順を追って説明する。

(1) 図4(A)に示すように、上述した本発明の半導体基板の製造方法により製造された半導体基板を用意する。なお、絶縁性基板1としては安価なガラス基板を用いている。

(2) 図4(B)に示すように、半導体膜17をエッチングして島状半導体膜18を形成する。ここでは通常用いられるフォトリソグラフィ技術によりパターンニングされたレジストを形成して、プラズマを用いたドライエッチング法により半導体膜をエッチングした。

(3) 図4(C)に示すように、ゲート絶縁膜19を形成する。ゲート絶縁膜19はプラズマCVD法により350℃でTEOS(テトラ・エチル・オルト・シリケート: $\text{Si}(\text{OC}_2\text{H}_5)_4$)ガスと O_2 ガスとを用いて成膜した膜厚100nmの酸化シリコン(SiO_2)膜を用いた。その他に、 SiH_4 ガスと O_2 ガスを用いたプラズ

マCVD法や、450℃で SiH_4 ガスと O_2 ガスを用いた減圧CVD法や、430℃で SiH_4 ガスと O_2 ガスを用いた常圧CVD法や、スパッタ法等を用いて成膜した酸化シリコン膜でもよいことは勿論である。膜厚は50~150nm程度が好ましい。また、ここでは酸化シリコン膜を用いたが、窒化シリコン膜や、酸化シリコン膜と窒化シリコン膜との積層膜でもよい。

(4) 図4(D)に示すように、ゲート電極20を形成する。ゲート電極20は、多結晶シリコン膜、Al、AlSi、AlTi、TiN、Ti、Ta、Ta₂N、Cr、W又はこれらの積層膜を成膜した後、エッチングを行って形成する。

(5) 図4(E)に示すように、ゲート電極20をマスクとして自己整合的に不純物イオンを半導体膜に注入した後、不純物イオンを活性化してトランジスタのソース部21、ドレイン部22を形成する。このとき不純物が注入されなかったセンター部23はトランジスタのチャネル部となる。N型トランジスタを形成するときにはリンや砒素等の第5族元素を、P型トランジスタを形成するときにはボロン等の第3族元素を不純物イオンとして注入する。活性化には炉アニール、レーザアニール、ランプアニール等を用いる。ここでは、XeClエキシマレーザ照射を行って活性化した。

(6) 図4(F)に示すように、層間絶縁膜24を成膜する。ここでは、層間絶縁膜24として、プラズマCVD法により300℃で成膜した膜厚500nmの窒化シリコン膜を用いた。また、段差被覆性の良好なTEOSガスをを用いたプラズマCVD法、常圧CVD法により形成される酸化シリコン膜を用いてもよい。また、膜厚は300~500nm程度が好ましい。

(7) 図4(G)に示すように、ソース部21及びドレイン部22にコンタクトホール25、25を開口した後、ソース配線26及びドレイン配線27を形成する。これで薄膜トランジスタが製造された。

【0030】なお、本発明は上述した実施の形態に限定されず、本発明の要旨を逸脱しない範囲で種々変更できることは勿論である。

【0031】

【発明の効果】上述した本発明の半導体膜の成形方法によれば、酸化レート314の小さい酸素を主成分とする雰囲気下で多結晶シリコン膜を酸化する緻密酸化膜生成工程を有しているため、多結晶シリコン膜の表面層での酸化はゆっくりと進行し、その表面層の酸化レートに大きく偏ることなく密度の大きい緻密酸化膜が順次生成され、その緻密酸化膜の生成により自由になったシリコン原子が結晶欠陥を順に補償し、結晶欠陥を低減することができ、膜質を均一にすることができ、酸化されずに残る多結晶シリコン膜の表面の凹凸を抑制することができる。317
したがって、酸化膜を除去しない場合は勿論、除去する場合であっても、良質の半導体膜を成形することができる。

る。また、酸化レートの高い水蒸気を主成分とする雰囲気下で酸化する酸化促進工程を併用することにより、多結晶シリコン膜内での酸化の進行速度を早めることができ、結晶欠陥の少ない良質な半導体膜の成形を迅速に処理することができる。また、緻密酸化膜生成工程及び酸化促進工程を1～50気圧の雰囲気で行うと、300～700℃の温度で緻密酸化膜の生成等を効率良く行うことができ、絶縁性基板を損傷することもない。

【0032】上述した本発明の半導体基板の製造方法によれば、酸素又は水蒸気を主成分とする雰囲気下で多結晶シリコン基板を酸化しているため、結晶欠陥が少なく、表面層の欠陥がなく、表面荒れがない、良好な特性を有する半導体基板を製造することができる。また、酸化膜を除去しても、結晶欠陥が少なく、表面荒れの少ない、良好な特性を有する半導体基板を製造することができる。

【図面の簡単な説明】

【図1】本発明の半導体膜の成形方法を一定のパラメータで実施したときの各工程を示す図であり、(A)は緻密酸化膜生成工程前の断面図、(B)は緻密酸化膜生成工程後の断面図、(C)は酸化促進工程後の断面図、(D)は酸化膜除去工程後の断面図を示している。

【図2】雰囲気圧力を1気圧から50気圧まで変化させたときの酸化膜の成長レート (Oxide Growth Rate) と処理温度 (Temperature) との関係を示す図である。

【図3】本発明の半導体基板の製造方法で使用する処理装置を示す図である。

【図4】本発明の方法を利用した薄膜トランジスタの製造方法について説明する図であり、(A)～(G)は各手順を示している。

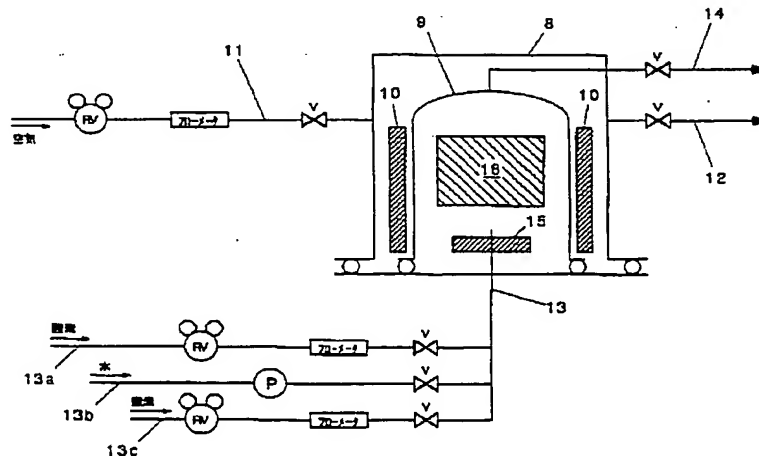
【図5】特開平7-162002号公報に記載されている半導体膜の製造方法を示す図であり、(A)は酸化前の多結晶シリコン膜の断面図、(B)は酸化後の多結晶

シリコン膜の断面図、(C)は酸化膜を除去した後の多結晶シリコン膜 (半導体膜) の断面図である。

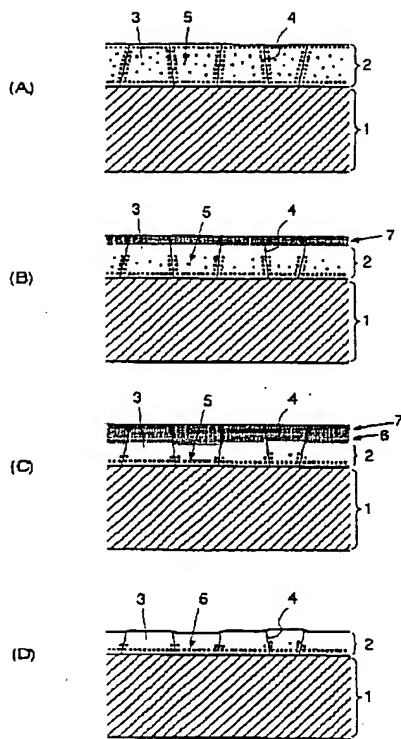
【符号の説明】

- 1 絶縁性基板
- 2 多結晶シリコン膜
- 3 結晶粒
- 4 結晶粒界
- 5 結晶欠陥
- 6 酸化膜
- 7 緻密酸化膜
- 8 圧力容器
- 9 処理室
- 10 ヒータ
- 11 昇圧ライン
- 12 減圧ライン
- 13 処理ガス供給ライン
- 13a 酸素供給ライン
- 13b 水供給ライン
- 13c 窒素供給ライン
- 14 処理ガス排気ライン
- 15 ヒータ
- 16 多結晶シリコン基板
- 17 半導体膜
- 18 島状半導体膜
- 19 ゲート絶縁膜
- 20 ゲート電極
- 21 ソース部
- 22 ドレイン部
- 23 センター部
- 24 層間絶縁膜
- 25 コンタクトホール
- 26 ソース配線
- 27 ドレイン配線

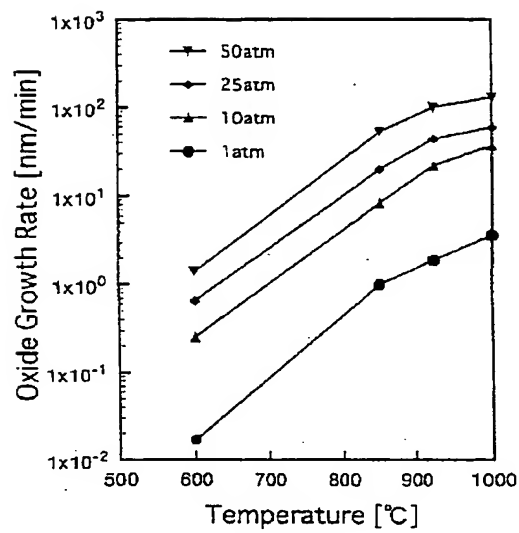
【図3】



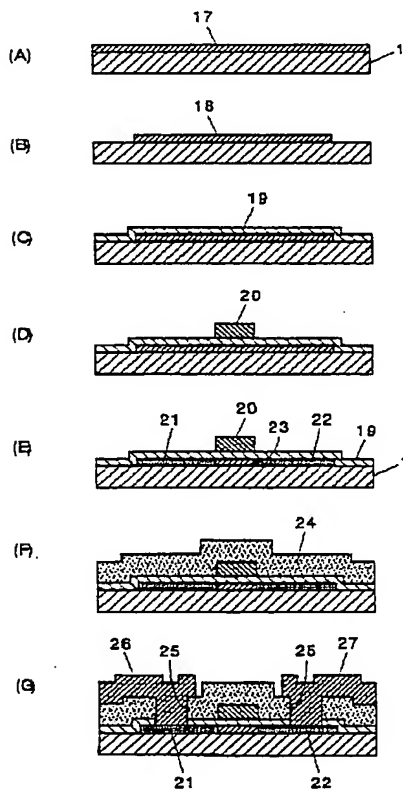
【図1】



【図2】



【図4】



【図5】

